

Projet M2 SETI

Implémentation et évaluation d'un processeur RISC-V sur une architecture SoC

Contexte :

Les architectures récentes associent, dans la même puce, des FPGA et des processeurs pour constituer des SoC (System on Chip). Elles sont composées d'unités optimisées et précâblées pour l'accélération matérielle de certains traitements de données et permettent d'interfacer plusieurs périphériques selon différentes modalités : utilisation d'un processeur matériel intégré ou d'un processeur logiciel (Soft-Core).

Objectif du projet :

L'objectif de ce projet est d'évaluer une implémentation d'un processeur RISC-V sur une architecture SoC qui intègre un FPGA et processeur ARM (plateforme DE1 SoC).

Le travail portera essentiellement sur l'évaluation des différentes interfaces entre le processeur RISC-V, le processeur ARM et les mémoires (SSRAM et SDRAM) disponibles. Dans une deuxième étape, il s'agira d'étudier les performances d'un échange de données entre le processeur RISC-V et le processeur ARM en exploitant le bus AXI de l'architecture.

Enfin, des modalités de contrôle de périphériques seront explorées afin d'exploiter les périphériques embarqués sur la carte d'évaluation.

Mot clés : SoC (CPU-FPGA, RISC-V), bus pour l'embarqué, interfaçage de périphériques.

Pré-requis : Langage C/C++, VHDL.

Références :

- [1]. L. Poli, S. Saha, X. Zhai and K. D. McDonald-Maier, "Design and Implementation of a RISC V Processor on FPGA," 2021 17th International Conference on Mobility, Sensing and Networking (MSN), 2021, pp. 161-166, doi: 10.1109/MSN53354.2021.00037.
- [2]. A. Singh, N. Franklin, N. Gaur and P. Bhulania, "Design and Implementation of a 32-bit ISA RISC-V Processor Core using Virtex-7 and Virtex- UltraScale," 2020 IEEE 5th International Conference on Computing Communication and Automation (ICCCA), 2020, pp. 126-130, doi: 10.1109/ICCCA49541.2020.9250850.
- [3]. X. Kong, W. He and J. Han, "A high-performance RISC-V co-processor architecture for fast IP processing," 2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT), 2022, pp. 1-3, doi: 10.1109/ICSICT55466.2022.9963438.

Contact :

Abdelhafid EL OUARDI : abdelhafid.elouardi@universite-paris-saclay.fr