

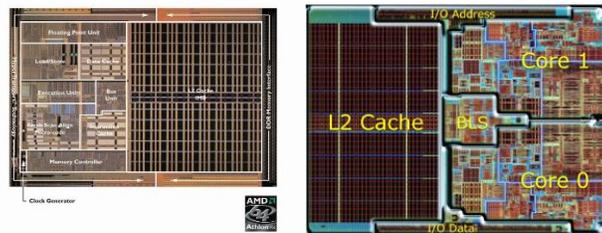
Master SETI

Cours Architecture des Microprocesseurs

TP1 - Modélisation et évaluation de mémoires caches

1. Famille de processeurs ARM

La famille des processeurs ARM [Arm Cortex-R](#) et [Arm Cortex-A](#) sont décrites dans les tables des produits jointes au TP. Les caches sont sélectionnables **L1 Cache** 8-64kB, 48kB/ 32kB, **L2 Cache** 128kB-1MB, **L3 Cache** 512kB-4MB. Les mémoires caches peuvent utiliser une partie importante de la surface de silicium des circuits.

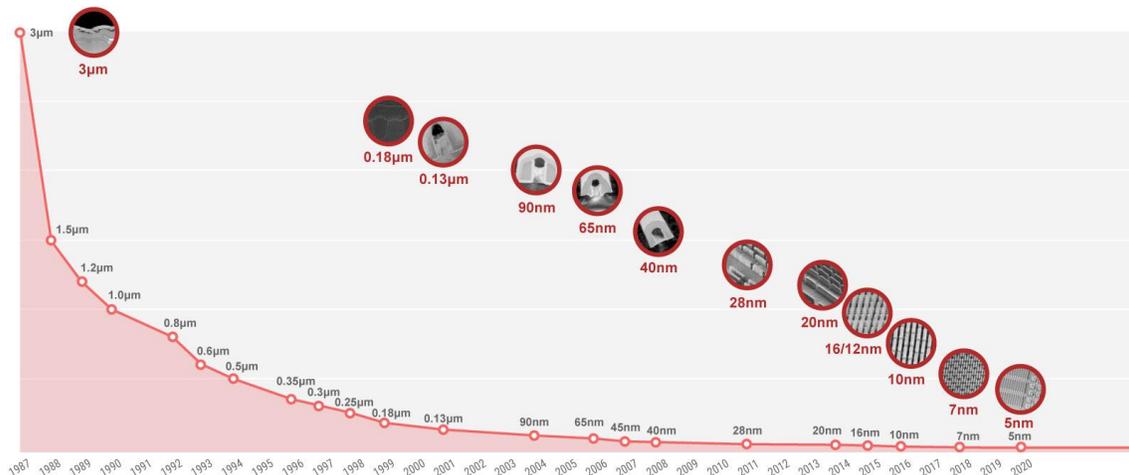


Nous souhaitons dans la section 2 évaluer différentes configurations d'architectures de mémoires caches et d'hierarchie mémoire.

2. Simulation d'architectures CACTI

2.1 Analyse surface temps d'accès, énergie

Nous souhaitons évaluer pour différentes technologies TSMC



les surfaces des caches L1 Instruction, L1 Data, L2 et L3 ainsi que les temps d'accès.

Vous utiliserez le logiciel CACTI qui permet par simulation d'obtenir ces paramètres. Le logiciel CACTI est décrit dans le document de référence [CACTI 6.0: A Tool to Model Large Caches](#) que vous étudierez.

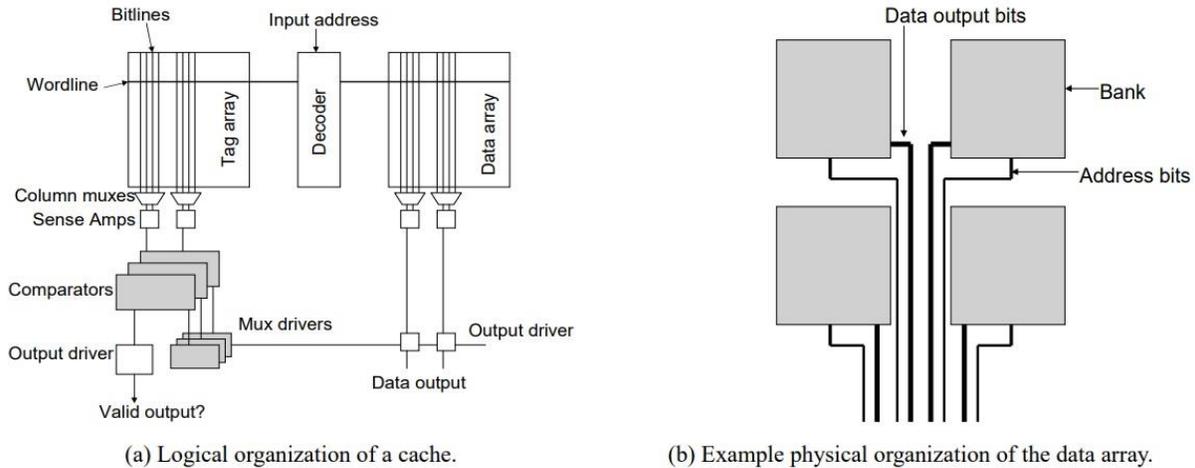


Figure 1. Logical and physical organization of the cache

Paramètres commande en ligne: C B A Tech NoBanks

- **C** - Cache size in bytes
- **B** - Block size in bytes
- **A** - Associativity
- **Tech** - Process technology in microns or nano-meter
- **NoBanks** - No. of UCA banks

Vous pouvez automatiser l'ensemble des simulations par des scripts.

Vous tracerez les figures associées temps d'accès en fonction de la taille du cache et de l'associativité pour chaque nœud technologique, idem pour la surface et l'énergie.

2.2 Analyse impact nombre de ports de lecture, écriture

Une mémoire cache peut-être accédée par plusieurs ports en lecture et écriture pour permettre le parallélisme d'accès et de traitement.

Le paramètre est défini par : *No. of read ports, write ports, read-write ports in a cache*

Nous souhaiterions de même analyser l'impact sur les temps d'accès, l'énergie et la surface des caches. Vous tracerez les figures associées.

2.3 Analyse impact mode d'accès cache

Les caches ont plusieurs mode d'accès (*Cache access mode* (**fast** - low access time but power hungry; **sequential** - high access time but low power; **Normal** - less aggressive in terms of both power and delay)).

Nous souhaiterions de même analyser l'impact sur les temps d'accès, l'énergie et la surface des caches. Vous tracerez les figures associées.

2.4 Temps d'accès moyen TAMM

La formule du temps d'accès moyen est donné comme indiqué en cours par

$$TAMM = t_{al1} + \tau_{eL1} \times (t_{al2} + \tau_{eL2} \times t_M)$$

Vous calculerez le temps d'accès moyen Arm Cortex-A Processor en prenant des hypothèses de temps d'accès mémoire de composants DDR5 32Gb de produits industriels de votre choix ([Samsung](#), [SKHynix](#), etc...).

Vous tracerez les figures associées.